

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Masaki ISHIDAO et al.**

Serial Number: **Not Yet Assigned**

Filed: **February 2, 2004**

For: **SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURING METHOD
THEREOF**

Attorney Docket No. **032209**

Customer No.: **38834**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

February 2, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

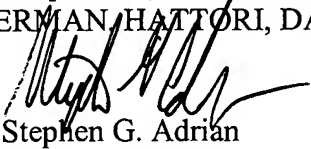
Japanese Appln. No. 2003-027514, filed on February 4, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN HATTORI, DANIELS & ADRIAN, LLP


Stephen G. Adrian
Reg. No. 32,878

1250 Connecticut Avenue, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SGA/yap

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 4 日
Date of Application:

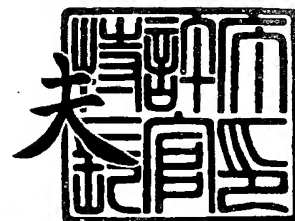
出 願 番 号 特 願 2 0 0 3 - 0 2 7 5 1 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 2 7 5 1 4]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 1 0 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0241448

【提出日】 平成15年 2月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体記憶装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 石田尾 督樹

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 小林 昌宏

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 福田 昌俊

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板と、
前記半導体基板上に形成されたトンネル絶縁膜と、
前記トンネル絶縁膜上に形成された Al_2O_3 膜と、
前記トンネル絶縁膜上に、平面視で前記 Al_2O_3 膜を間に挟んで形成された一対の電荷蓄積層と、
前記 Al_2O_3 膜及び一対の電荷蓄積層上に形成された絶縁膜と、
前記絶縁膜上に形成されたゲート電極と、
前記半導体基板の表面に、平面視で前記ゲート電極を挟んで形成された一対のソース・ドレイン領域と、
を有することを特徴とする半導体記憶装置。

【請求項2】 メモリセル毎に一対の電荷蓄積層を有し、4値の記憶が可能な半導体記憶装置において、
前記一対の電荷蓄積層を互いに絶縁する Al_2O_3 膜を有することを特徴とする半導体記憶装置。

【請求項3】 前記電荷蓄積層は、多結晶シリコンからなることを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項4】 半導体基板上に、トンネル絶縁膜を形成する工程と、
前記トンネル絶縁膜上に、 Al_2O_3 膜、絶縁膜、及びゲート電極の原料膜を順次形成する工程と、
前記ゲート電極の原料膜、絶縁膜及び Al_2O_3 膜をゲート電極の平面形状に加工することにより、ゲート電極を形成する工程と、
前記 Al_2O_3 膜に対して等方性エッチングを施すことにより、前記 Al_2O_3 膜の外縁を前記ゲート電極の外縁よりも後退させて前記絶縁膜の下に一対の隙間を形成する工程と、
前記一対の隙間内に、夫々電荷蓄積層を形成する工程と、
前記半導体基板の表面に、平面視で前記ゲート電極を挟んで一対のソース・ド

レイン領域を形成する工程と、

を有することを特徴とする半導体記憶装置の製造方法。

【請求項 5】 前記 Al_2O_3 膜に対して等方性エッチングを施す工程において、硫酸過水を用いて前記 Al_2O_3 膜の等方性エッチングを行うことを特徴とする請求項 4 に記載の半導体記憶装置の製造方法。

【請求項 6】 前記電荷蓄積層として多結晶シリコン膜を形成することを特徴とする請求項 4 又は 5 に記載の半導体記憶装置の製造方法。

【請求項 7】 前記電荷蓄積層を形成する工程は、
全面に多結晶シリコン膜を形成する工程と、
前記多結晶シリコン膜に異方性エッチングを施すことにより、前記多結晶シリコン膜を前記隙間内に残存させると共に、前記多結晶シリコン膜からなるサイドウォールを前記ゲート電極及び酸化膜の側方に形成する工程と、
を有することを特徴とする請求項 4 又は 5 に記載の半導体記憶装置の製造方法。

【請求項 8】 前記電荷蓄積層を形成する工程は、前記多結晶シリコン膜に異方性エッチングを施す工程の後に、前記サイドウォールを酸化する工程を有することを特徴とする請求項 7 に記載の半導体記憶装置の製造方法。

【請求項 9】 前記電荷蓄積層を形成する工程は、
全面に多結晶シリコン膜を形成する工程と、
前記多結晶シリコン膜に異方性エッチングを施すことにより、前記多結晶シリコン膜を前記隙間内にのみ残存させる工程と、
を有することを特徴とする請求項 4 又は 5 に記載の半導体記憶装置の製造方法。

【請求項 10】 前記電荷蓄積層を形成する工程は、前記多結晶シリコン膜に異方性エッチングを施す工程の後に、
全面にサイドウォール用絶縁膜を形成する工程と、
前記サイドウォール用絶縁膜をエッチバックすることにより、サイドウォール絶縁膜を前記ゲート電極及び酸化膜の側方に形成する工程と、
を有することを特徴とする請求項 9 に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】**【0 0 0 1】****【発明の属する技術分野】**

本発明は、電荷蓄積層が空間的に分離している多値フラッシュメモリに好適な半導体記憶装置及びその製造方法に関する。

【0 0 0 2】**【従来の技術】**

従来、多値フラッシュメモリでは、MONOS (Metal/Oxide/Nitride/Oxide/Semiconductor) 構造のメモリセルにおいて、書き込み時の電子の注入がゲート両端の領域に限定されており、窒化膜中のトラップに注入された電子が蓄積される。この蓄積された電子により、セルトランジスタの閾値電圧がシフトする。この結果、読み出し時のセルトランジスタの電流値が変動し、“1”又は“0”の情報とすることができる。

【0 0 0 3】

このような素子構造では、一般に、セルトランジスタのソース側に注入され保持された電子がセルトランジスタの閾値電圧シフトに大きく寄与する。このため、ゲート両端の電子の蓄積状態の読み出しをソースとドレインとで入れ替えて2回行うことにより、“0 0”，“0 1”，“1 0”及び“1 1”という2ビットの情報を1メモリセルにおいて得ることが可能である。

【0 0 0 4】

従来構造のメモリセルでは、電荷を蓄積する膜、一般にシリコン窒化膜がゲートの全域にわたって存在している。このため、電荷が再分布されることがある。再分布が行われると、閾値電圧のシフト量の変動するとともに、ゲート反対側の情報を書き換えてしまう可能性があり、読み出しエラーが増大する。

【0 0 0 5】

そこで、電荷再分布を防止するために、電荷蓄積層を電氣的に分離し、かつゲート両端に形成した電荷を蓄積する層とコントロールゲートとを自己整合的に形成する方法が開発されている。この方法では、電荷蓄積層のゲート両端に電荷を蓄積するため、分離酸化膜を形成することにより、電荷再分布が防止されている

。

【0006】

このような分離酸化膜を形成するにあたり、従来の方法では、先ず、トンネル酸化膜の上に、分離酸化膜の原料膜としての酸化膜、ONO膜用の酸化膜及びゲート電極用のポリSi膜（多結晶シリコン膜）を形成する。次いで、RIE（反応性イオンエッチング）等による異方性エッチングでポリSi膜及び2つの酸化膜をゲートの形状に加工する。この加工の際に、酸化膜に対してオーバーエッチングを行うことにより、分離酸化膜の原料膜としての酸化膜の外縁部を後退させて、分離酸化膜を形成している。

【0007】**【特許文献1】**

特開2001-168219号公報

【0008】**【発明が解決しようとする課題】**

しかしながら、RIEにおいてオーバーエッチングの量を制御することは困難である。また、熱酸化処理が必要とされるが、上記の従来の方法では、ゲート構造上、ゲート加工及び熱処理の制御が極めて困難であり、ウェハ間やロット間での再現性が十分ではない。この結果、スループット及び歩留りが低く、また、2ビット動作の安定性（信頼性）も十分なものとはいえない。

【0009】

本発明は、かかる問題点に鑑みてなされたものであって、1メモリセルで2ビットの記憶が可能な半導体記憶装置において、高いスループット、歩留り及び信頼性を得ることができる半導体記憶装置及びその製造方法を提供することを目的とする。

【0010】**【課題を解決するための手段】**

本願発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【0011】

本発明に係る第1の半導体記憶装置には、半導体基板と、前記半導体基板上に

形成されたトンネル絶縁膜と、が設けられている。前記トンネル絶縁膜上には、 Al_2O_3 膜が形成され、更に、平面視で前記 Al_2O_3 膜を間に挟んで一对の電荷蓄積層が形成されている。そして、前記 Al_2O_3 膜及び一对の電荷蓄積層上に絶縁膜が形成され、前記絶縁膜上にゲート電極が形成されている。前記半導体基板の表面には、平面視で前記ゲート電極を挟んで一对のソース・ドレイン領域が形成されている。

【0012】

本発明に係る第2の半導体記憶装置は、メモリセル毎に一对の電荷蓄積層を有し、4値の記憶が可能な半導体記憶装置を対象とする。そして、前記一对の電荷蓄積層を互いに絶縁する Al_2O_3 膜が設けられている。

【0013】

本発明に係る半導体記憶装置の製造方法では、先ず、半導体基板上に、トンネル絶縁膜を形成し、前記トンネル絶縁膜上に、 Al_2O_3 膜、絶縁膜、及びゲート電極の原料膜を順次形成する。次に、前記ゲート電極の原料膜、絶縁膜及び Al_2O_3 膜をゲート電極の平面形状に加工することにより、ゲート電極を形成し、前記 Al_2O_3 膜に対して等方性エッチングを施すことにより、前記 Al_2O_3 膜の外縁を前記ゲート電極の外縁よりも後退させて前記絶縁膜の下に一对の隙間を形成する。次いで、前記一对の隙間内に、夫々電荷蓄積層を形成し、前記半導体基板の表面に、平面視で前記ゲート電極を挟んで一对のソース・ドレイン領域を形成する。但し、トンネル絶縁膜は、半導体基板の表面を酸化することにより形成してもよく、結果的に、半導体基板上に存在していればよい。また、一对のソース・ドレイン領域の形成は、前記ゲート電極の原料膜、絶縁膜及び Al_2O_3 膜の加工後であれば、電荷蓄積層の形成前に行ってもよい。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態に係る半導体記憶装置及びその製造方法について添付の図面を参照して具体的に説明する。但し、ここでは、便宜上、各メモリセルの構造をその製造方法と共に説明する。図1乃至図2は、本発明の実施形態に係る多値フラッシュメモリ（半導体記憶装置）の製造方法を工程順に示す断面図で

ある。

【0015】

本実施形態では、先ず、図1(a)に示すように、半導体基板、例えばSi基板1上に、トンネル絶縁膜(トンネル酸化膜)2、 Al_2O_3 膜3、Si酸化膜4、ポリSi膜(多結晶シリコン膜)5及びキャップ膜6を順次形成する。トンネル酸化膜2の厚さは、例えば3乃至9nmである。 Al_2O_3 膜3の厚さは、例えば5乃至15nmである。Si酸化膜4の厚さは、例えば10nmである。ポリSi膜5の厚さは、例えば180nmである。また、キャップ膜6は、例えばSi酸化膜又はSi窒化膜からなる。

【0016】

次に、キャップ膜6、ポリSi膜5、Si酸化膜4及び Al_2O_3 膜3を、ゲート電極の平面形状にパターニングする。この結果、ポリSi膜5からゲート電極が構成される。次いで、パターニングされたキャップ膜6等をマスクとしてイオン注入を行うことにより、Si基板1の表面に、例えばn-拡散層7を形成する。

【0017】

その後、図1(b)に示すように、 Al_2O_3 膜3の等方性エッチングを行うことにより、 Al_2O_3 膜3の外縁をゲート電極(パターニングされたポリSi膜5)の外縁よりも後退させる。この等方性エッチングでは、例えば硫酸過水を用いる。 Al_2O_3 膜3の硫酸過水によるエッチング速度は高いのに対し、硫酸過水では、Si酸化膜、Si窒化膜及びポリSi等は、ほとんど除去されない。このため、 Al_2O_3 膜3のみを高い選択比でエッチングすることができる。

【0018】

続いて、図1(c)に示すように、チャネルから注入された電子を保持することが可能な導体膜を全面に形成する。本実施形態では、このような導体膜として、例えばポリSi膜8を形成する。このとき、ポリSi膜8を、Si酸化膜4の下の Al_2O_3 膜3が後退して形成された隙間にも入り込むようにする。このようなポリSi膜8は、例えば、常圧CVD法により形成することができる。

【0019】

次に、図2 (a) に示すように、ポリSi膜8を異方性エッチング、例えばRIEにより加工することにより、ポリSi膜5等の側部に所定の厚さ（縦方向ではなく横方向の厚さ）のポリSi膜8を残存させると共に、Si酸化膜4の下のAl₂O₃膜3が後退して形成された隙間にもポリSi膜8を残存させる。ポリSi膜5等の側部に残存させるポリSi膜8の厚さは、例えばLDD構造を形成するためのサイドウォールの厚さとする。

【0020】

次いで、熱酸化法により、ポリSi膜8のうち、Si酸化膜4の下Al₂O₃膜3が後退して形成された隙間に存在する部位以外の部位を酸化する。この結果、図2 (b) に示すように、サイドウォール酸化膜（サイドウォール絶縁膜）9が形成される。

【0021】

その後、図2 (c) に示すように、キャップ膜6及びサイドウォール酸化膜9をマスクとして、n-拡散層7を形成したときよりも高い濃度でイオン注入を行うことにより、Si基板1の表面に、例えばn⁺拡散層10を形成する。n-拡散層7及びn⁺拡散層10から、LDD構造のソース・ドレイン領域が構成される。

【0022】

そして、層間絶縁膜の形成、コンタクトホール形成及び配線の形成等を行って多値フラッシュメモリを完成させる。

【0023】

図3は、多値フラッシュメモリのメモリセルアレイの構成を示す回路図である。メモリセルアレイは、上述のようにして形成されたメモリセル11が複数個配列されて構成されている。各メモリセル11のゲートには、ワード線12が接続され、ソース及びドレインには、ビット線13が接続されている。

【0024】

このようにして形成された多値フラッシュメモリにおいては、各メモリセル11において、図2 (c) に示すように、平面視で、電荷蓄積層として機能する2個のポリSi膜8の間にAl₂O₃膜3が存在しているため、これらのポリSi膜

8の間での電荷の移動が防止される。従って、2ビット動作が安定して行われ、高い信頼性が得られる。

【0025】

また、その製造に当たって、 Al_2O_3 膜3を高い選択比で等方性エッチングしているため、隙間の大きさの制御が極めて容易である。図4は、処理液と Al_2O_3 膜のエッチング速度との関係を示すグラフである。上記の実施形態では、硫酸過水（POS）を用いて Al_2O_3 膜3を等方性エッチングしており、図4に示すように、高い速度でエッチングが行われる。これに対し、Si酸化膜4、ポリSi膜5及びキャップ膜6等は、硫酸過水によってはほとんどエッチングされない。このため、 Al_2O_3 膜3が高い選択比でエッチングされ、その量の制御が極めて容易となる。従って、スループット及び歩留りが向上する。

【0026】

なお、図4に示すように、HCL、 HNO_3 、 H_2O_2 、 H_2SO_4 及びHFによっても、高い速度で Al_2O_3 膜をエッチングすることは可能である。しかし、HFを用いると、Si酸化膜も除去されてしまうため、HFは用いることができない。また、HCL、 HNO_3 、 H_2O_2 及び H_2SO_4 を用いることは可能であるが、硫酸過水（POS）を用いることが最も好ましい。

【0027】

また、上記の実施形態では、ポリSi膜8の一部を酸化させることによってサイドウォール酸化膜9を形成しているが、サイドウォール酸化膜の形成方法はこれに限定されない。例えば、図2（a）に示す工程において、ポリSi膜8を、Si酸化膜4の下に形成された隙間内にのみ残存するように異方性エッチングを行い、その後、Si酸化膜の常圧CVD法等による堆積及びエッチバックを行うことにより、サイドウォール酸化膜を形成してもよい。

【0028】

以下、本発明の諸態様を付記としてまとめて記載する。

【0029】

（付記1） 半導体基板と、
前記半導体基板上に形成されたトンネル絶縁膜と、

前記トンネル絶縁膜上に形成された Al_2O_3 膜と、
前記トンネル絶縁膜上に、平面視で前記 Al_2O_3 膜を間に挟んで形成された一対の電荷蓄積層と、
前記 Al_2O_3 膜及び一対の電荷蓄積層上に形成された絶縁膜と、
前記絶縁膜上に形成されたゲート電極と、
前記半導体基板の表面に、平面視で前記ゲート電極を挟んで形成された一対のソース・ドレイン領域と、
を有することを特徴とする半導体記憶装置。

【0030】

(付記2) 前記ゲート電極、絶縁膜及び一対の電荷蓄積層の側面を覆うサイドウォール絶縁膜を有することを特徴とする付記1に記載の半導体記憶装置。

【0031】

(付記3) メモリセル毎に一対の電荷蓄積層を有し、4値の記憶が可能な半導体記憶装置において、

前記一対の電荷蓄積層を互いに絶縁する Al_2O_3 膜を有することを特徴とする半導体記憶装置。

【0032】

(付記4) 前記電荷蓄積層は、多結晶シリコンからなることを特徴とする付記1乃至3のいずれか1項に記載の半導体記憶装置。

【0033】

(付記5) 前記トンネル絶縁膜の厚さは、3乃至9 nmであることを特徴とする付記1乃至4のいずれか1項に記載の半導体記憶装置。

【0034】

(付記6) 前記 Al_2O_3 膜及び一対の電荷蓄積層の厚さは、5乃至15 nmであることを特徴とする付記1乃至5のいずれか1項に記載の半導体記憶装置。

【0035】

(付記7) 半導体基板上に、トンネル絶縁膜を形成する工程と、
前記トンネル絶縁膜上に、 Al_2O_3 膜、絶縁膜、及びゲート電極の原料膜を順次形成する工程と、

前記ゲート電極の原料膜、絶縁膜及び Al_2O_3 膜をゲート電極の平面形状に加工することにより、ゲート電極を形成する工程と、

前記 Al_2O_3 膜に対して等方性エッチングを施すことにより、前記 Al_2O_3 膜の外縁を前記ゲート電極の外縁よりも後退させて前記絶縁膜の下に一对の隙間を形成する工程と、

前記一对の隙間内に、夫々電荷蓄積層を形成する工程と、

前記半導体基板の表面に、平面視で前記ゲート電極を挟んで一对のソース・ドレイン領域を形成する工程と、

を有することを特徴とする半導体記憶装置の製造方法。

【0036】

(付記8) 前記 Al_2O_3 膜に対して等方性エッチングを施す工程において、硫酸過水を用いて前記 Al_2O_3 膜の等方性エッチングを行うことを特徴とする付記7に記載の半導体記憶装置の製造方法。

【0037】

(付記9) 前記電荷蓄積層として多結晶シリコン膜を形成することを特徴とする付記7又は8に記載の半導体記憶装置の製造方法。

【0038】

(付記10) 前記電荷蓄積層を形成する工程は、

全面に多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜に異方性エッチングを施すことにより、前記多結晶シリコン膜を前記隙間内に残存させると共に、前記多結晶シリコン膜からなるサイドウォールを前記ゲート電極及び酸化膜の側方に形成する工程と、

を有することを特徴とする付記7又は8に記載の半導体記憶装置の製造方法。

【0039】

(付記11) 前記電荷蓄積層を形成する工程は、前記多結晶シリコン膜に異方性エッチングを施す工程の後に、前記サイドウォールを酸化する工程を有することを特徴とする付記10に記載の半導体記憶装置の製造方法。

【0040】

(付記12) 前記電荷蓄積層を形成する工程は、

全面に多結晶シリコン膜を形成する工程と、
前記多結晶シリコン膜に異方性エッチングを施すことにより、前記多結晶シリコン膜を前記隙間内にのみ残存させる工程と、
を有することを特徴とする付記 7 又は 8 に記載の半導体記憶装置の製造方法。

【0041】

(付記 13) 前記電荷蓄積層を形成する工程は、前記多結晶シリコン膜に異方性エッチングを施す工程の後に、

全面にサイドウォール用絶縁膜を形成する工程と、
前記サイドウォール用絶縁膜をエッチバックすることにより、サイドウォール絶縁膜を前記ゲート電極及び酸化膜の側方に形成する工程と、
を有することを特徴とする付記 12 に記載の半導体記憶装置の製造方法。

【0042】

(付記 14) 前記トンネル絶縁膜の厚さを、3 乃至 9 nm とすることを特徴とする付記 7 乃至 13 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【0043】

(付記 15) 前記 Al_2O_3 膜及び一対の電荷蓄積層の厚さを、5 乃至 15 nm とすることを特徴とする付記 7 乃至 14 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【0044】

【発明の効果】

以上詳述したように、本発明によれば、 Al_2O_3 膜によって確実に一対の電荷蓄積層間を絶縁分離することが可能であるため、安定した 2 ビット動作を実現することができる。また、 Al_2O_3 膜のエッチングは、多結晶シリコン膜及びシリコン酸化膜等に対して高い選択比で行うことが可能であるため、その量の制御が極めて容易である。このため、スループット及び歩留りを向上させることができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係る多値フラッシュメモリの製造方法を工程順に示す断面

図である。

【図 2】

図 1 に引き続き、本発明の実施形態に係る多値フラッシュメモリの製造方法を工程順に示す断面図である。

【図 3】

多値フラッシュメモリのメモリセルアレイの構成を示す回路図である。

【図 4】

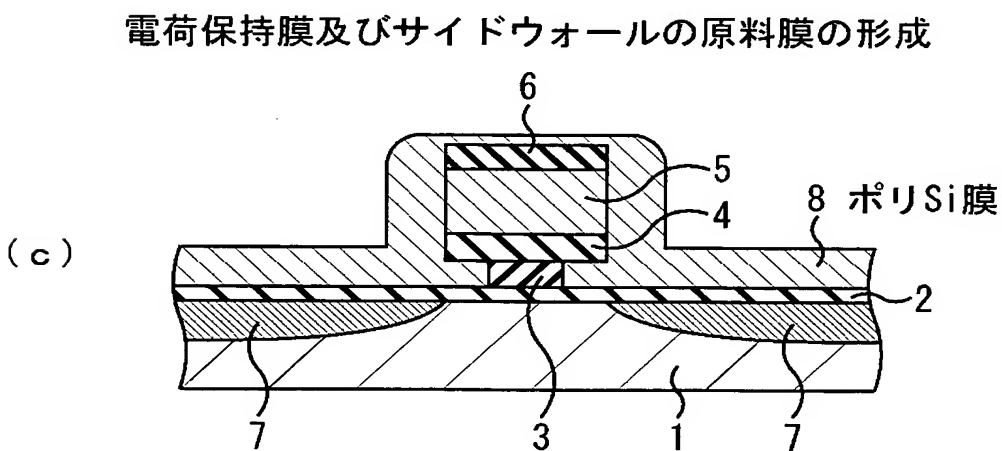
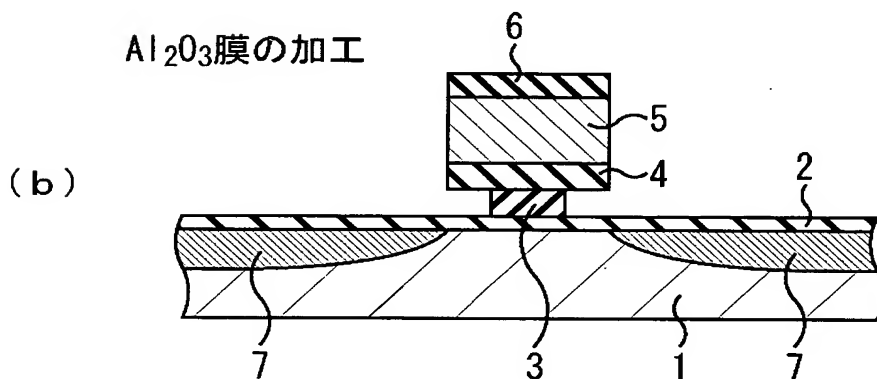
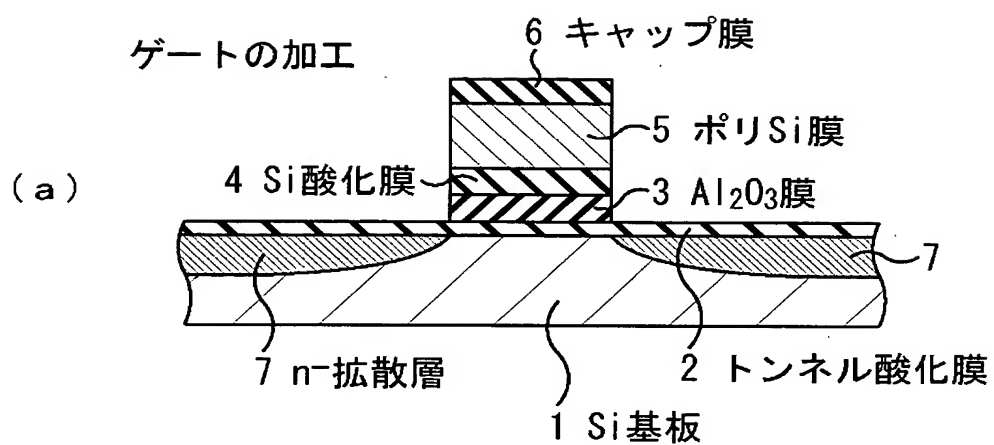
処理液と Al_2O_3 膜のエッチング速度との関係を示すグラフである。

【符号の説明】

- 1 ; Si 基板
- 2 ; トンネル酸化膜
- 3 ; Al_2O_3 膜
- 4 ; Si 酸化膜
- 5 ; ポリ Si 膜
- 6 ; キャップ膜
- 7 ; n-拡散層
- 8 ; ポリ Si 膜
- 9 ; サイドウォール酸化膜
- 10 ; n⁺拡散層
- 11 ; メモリセル
- 12 ; ビット線
- 13 ; ワード線

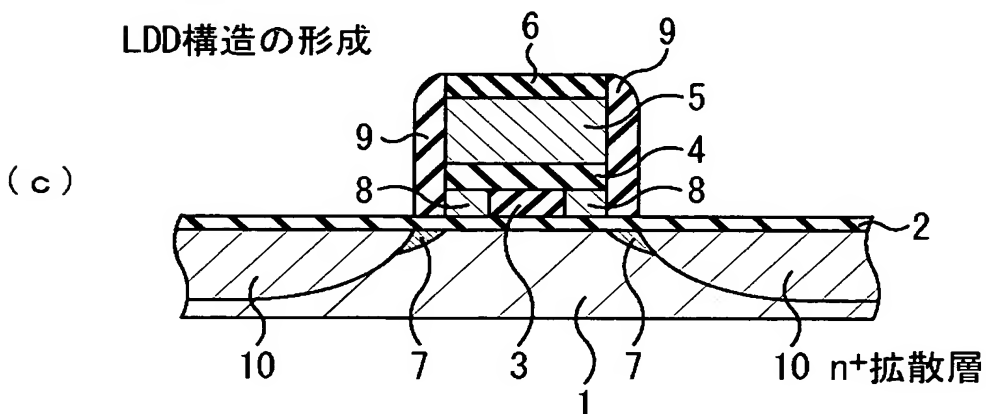
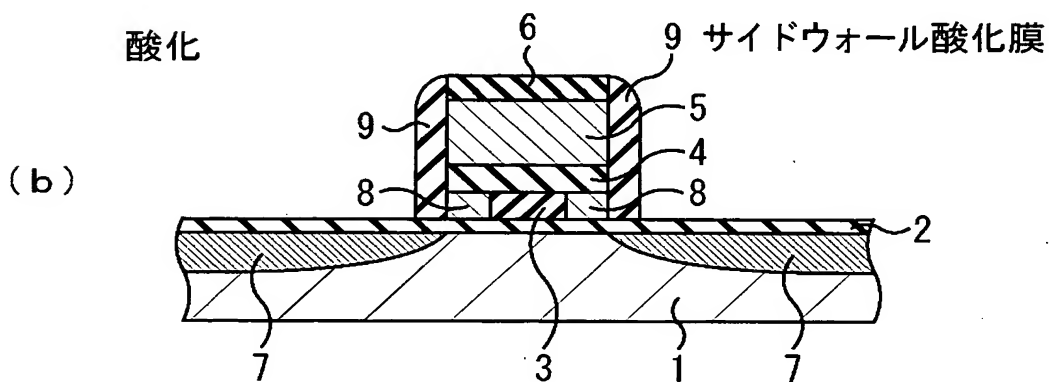
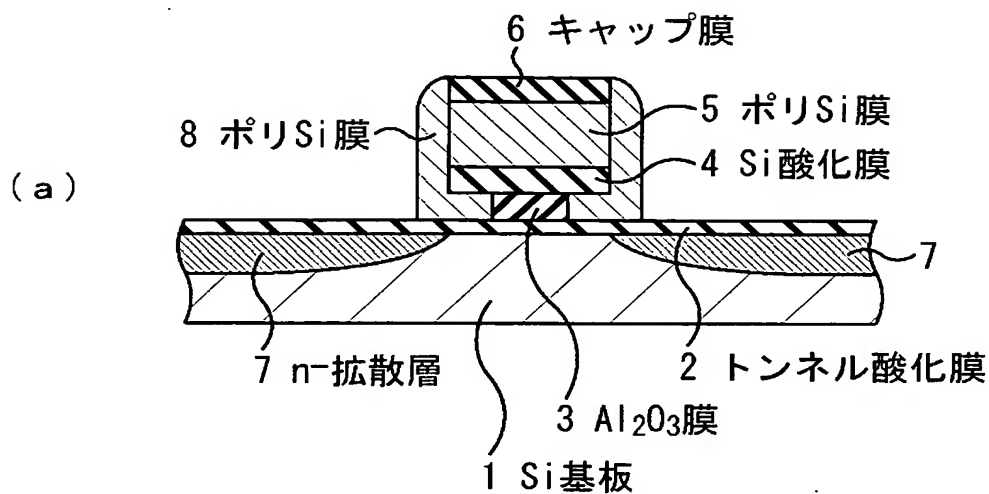
【書類名】 図面

【図 1】

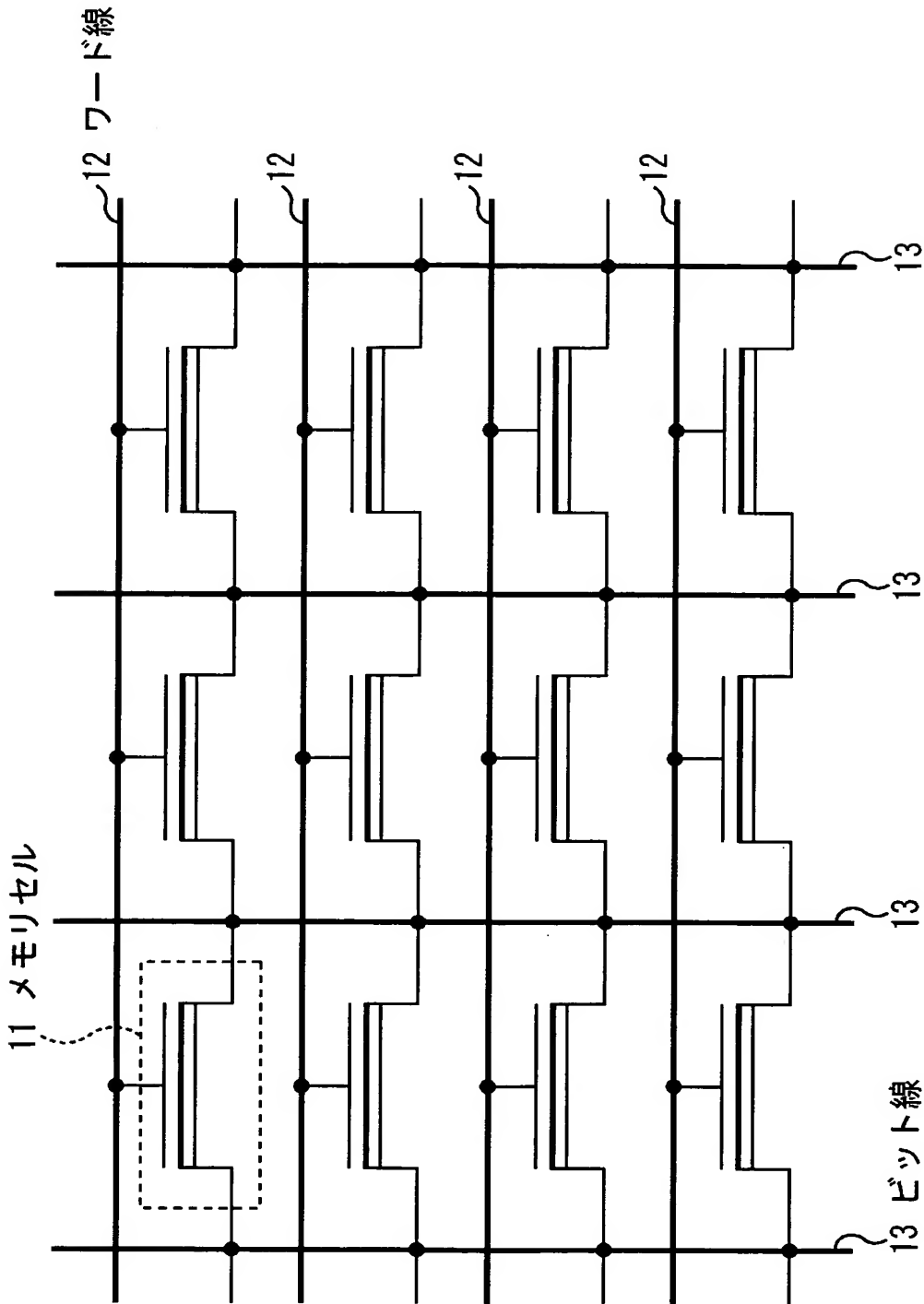


【図2】

サイドウォールの形成

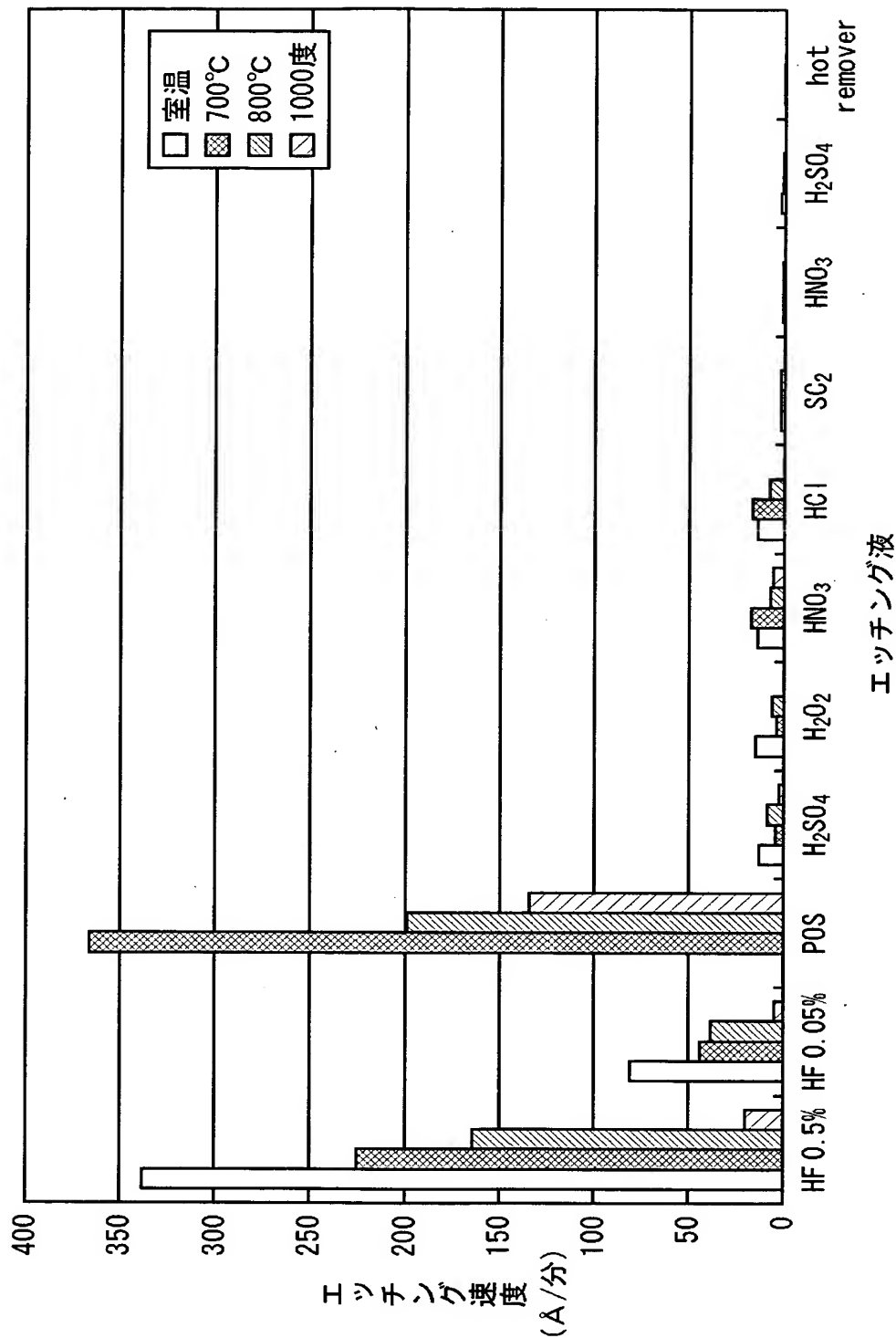


【図 3】



【図 4】

Al₂O₃の硫酸過水に対するエッチング速度



【書類名】 要約書

【要約】

【課題】 1メモリセルで2ビットの記憶が可能な半導体記憶装置において、高いスループット、歩留り及び信頼性を得ることができる半導体記憶装置及びその製造方法を提供する。

【解決手段】 ポリSi膜5等のパターニングを行い、Si基板1の表面にn-拡散層7を形成する。次に、硫酸過水を用いてAl₂O₃膜3の等方性エッチングを行うことにより、Al₂O₃膜3の外縁をゲート電極の外縁よりも後退させる。Al₂O₃膜3の硫酸過水によるエッチング速度は高いのに対し、Si酸化膜、Si窒化膜及びポリSi等は、ほとんど除去されない。従って、Al₂O₃膜3のみを高い選択比でエッチングすることができる。次に、ポリSi膜8を、Si酸化膜4の下Al₂O₃膜3が後退して形成された隙間にも入り込むように形成する。次に、ポリSi膜8のRIE及び酸化等を行うことにより、隙間にポリSi膜8の一部を残しながら、サイドウォール絶縁膜を形成する。

【選択図】 図1

特願 2 0 0 3 - 0 2 7 5 1 4

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社